

1/3,AB,LS/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

04291169
SEMICONDUCTOR STORAGE DEVICE

PUB. NO.: 05-282869 [JP 5282869 A]
PUBLISHED: October 29, 1993 (19931029)
INVENTOR(s): TAGAMI YUICHI
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 04-075022 [JP 9275022]
FILED: March 31, 1992 (19920331)
JOURNAL: Section: P, Section No. 1688, Vol. 18, No. 74, Pg. 129,
February 07, 1994 (19940207)

ABSTRACT

PURPOSE: To make it possible to read one memory cell simultaneously or asynchronously with writing in (or reading out of) another (or the same) memory cell and to prevent breakdown of data in the memory cell by multi-select or the like.

CONSTITUTION: A memory cell MC is provided with first transfer gates T1 and T2 connected between a first data input/output end N1 of a data holding part DH and first bit lines BL11 and BL21, an inverter IV3 of a buffer circuit of which the input end is connected to a second data input/output end N2 of the data holding part DH, and a second transfer gate T3 connected between the output end of this inverter IV3 and a second bit line BL31. Turning ON and OFF of the first and second transfer gates T1, T2 and T3 is controlled by first and second word lines WL11 and WL21 corresponding to them respectively.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05282869 A

(43) Date of publication of application: 29.10.93

(51) Int. Cl.

G11C 11/41

(21) Application number: 04075022

(71) Applicant: NEC CORP

(22) Date of filing: 31.03.92

(72) Inventor: TAGAMI YUICHI

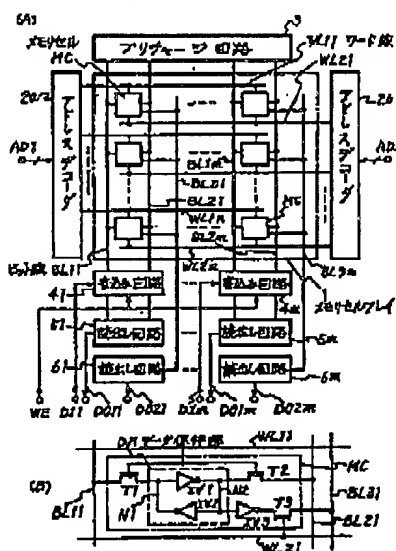
(54) SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PURPOSE: To make it possible to read one memory cell simultaneously or asynchronously with writing in (or reading out of) another (or the same) memory cell and to prevent breakdown of data in the memory cell by multi-select or the like.

CONSTITUTION: A memory cell MC is provided with first transfer gates T1 and T2 connected between a first data input/output end N1 of a data holding part DH and first bit lines BL11 and BL21, an inverter IV3 of a buffer circuit of which the input end is connected to a second data input/output end N2 of the data holding part DH, and a second transfer gate T3 connected between the output end of this inverter IV3 and a second bit line BL31. Turning ON and OFF of the first and second transfer gates T1, T2 and T3 is controlled by first and second word lines WL11 and WL21 corresponding to them respectively.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-282869

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/41

6741-5L

G 1 1 C 11/ 34

K

審査請求 未請求 請求項の数6(全 8 頁)

(21)出願番号

特願平4-75022

(22)出願日

平成4年(1992)3月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 田上 雄一

東京都港区芝五丁目7番1号日本電気株式会社内

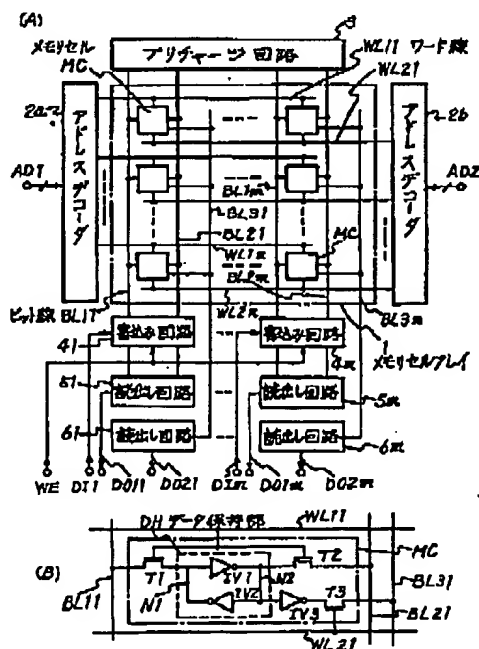
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶装置

(67)【要約】

【目的】 1つのメモリセルの書き込み(又は読出し)と同時にまたは非同期で他の(または同一の)メモリセルの読出しができ、かつマルチセレクト等によるメモリセルのデータの破壊を防止する。

【構成】 メモリセルMCに、データ保持部DHの第1のデータ入出力端N1と第1のビット線BL11、BL21との間に接続された第1のトランスファゲートT1、T2と、入力端をデータ保持部DHの第2のデータ入出力信号N2と接続するバッファ回路のインバータIV3と、このインバータIV3の出力端と第2のビット線BL31との間に接続された第2のトランスファゲートT3とを備える。第1及び第2のトランスファゲートT1、T2、T3のオン、オフをそれぞれ対応する第1及び第2のワード線WL11、WL21により制御する。



(2)

特開平5-282869

2

【特許請求の範囲】

【請求項1】 第1及び第2のビット線と、複数の第1及び第2のワード線と、第1及び第2のデータ入出力端をもちこの第1のデータ入出力端に供給されたデータを保持しかつ保持しているデータを前記第1及び第2のデータ入出力端から出力するデータ保持部、ゲートを対応する前記第1のワード線と接続しソース、ドレインの一方を前記データ保持部の第1のデータ入出力端と接続し他方を前記第1のビット線と接続し前記対応する第1のワード線が選択レベルのときオンとなる第1のトランスファゲート、入力端を前記データ保持部の第2のデータ入出力端と接続するバッファ回路、並びにゲートを対応する前記第2のワード線と接続しソース、ドレインの一方を前記バッファ回路の出力端と接続し他方を前記第2のビット線と接続し前記対応する第2のワード線が選択レベルのときオンとなる第2のトランスファゲートをそれぞれ備えた複数のメモリセルを含むメモリセルアレイと、第1のアドレス信号に従って前記複数の第1のワード線のうちの所定のワード線を選択レベルとする第1のアドレスデコーダと、第2のアドレス信号に従って前記複数の第2のワード線のうちの所定のワード線を選択レベルとする第2のアドレスデコーダと、出力端を前記第1のビット線と接続し選択レベルの前記第1のワード線と対応するメモリセルに書き込み用のデータを供給する書き込み回路と、入力端を前記第2のビット線と接続しこの第2のビット線に伝達されたデータを外部へ出力する読出し回路とを有することを特徴とする半導体記憶装置。

【請求項2】 メモリセルのバッファ回路をインバータとした請求項1記載の半導体記憶装置。

【請求項3】 メモリセルのバッファ回路を、ゲートをデータ保持部の第2のデータ入出力端と接続しソースを基準電位点と接続しドレインを第2のトランスファゲートのソース、ドレインの一方と接続するトランジスタで形成した請求項1記載の半導体記憶装置。

【請求項4】 入力端を第1のビット線と接続し前記第1のビット線に伝達されたデータを外部へ出力する読出し回路を設けた請求項1記載の半導体記憶装置。

【請求項5】 メモリセルに複数のバッファ回路及び第2のトランスファゲートを設け、これらバッファ回路及び第2のトランスファゲートとそれぞれを対応して複数の第2のビット線、第2のワード線、第2のアドレスデコーダ及び読出し回路を設けた請求項1記載の半導体記憶装置。

【請求項6】 メモリセルに、それぞれソース、ドレインの一方をデータ保持部の第1のデータ入出力端と接続する複数の第1のトランスファゲートを設け、これら第1のトランスファゲートとそれぞれを対応して複数の第1のビット線、第1のワード線、第1のアドレスデコーダ、並びに書き込み回路及び読出し回路のうちの少なくとも書き込み回路を設けた請求項1または請求項4記載の半

導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関し、特に書き込み、読出し可能なRAM型の半導体記憶装置に関する。

【0002】

【従来の技術】 従来、この種の半導体記憶装置は、第1の例として図5(A)、(B)に示すように、互いに対応をなすビット線BL1j、BL2j(jは1～m、以下同じ)と、複数のワード線WL1～WLnと、インバータIV1、IV2から成り第1及び第2のデータ入出力端N1、N2をもちこの第1及び第2のデータ入出力端N1、N2に供給されたデータを保持しかつ保持しているデータを第1及び第2のデータ入出力端N1、N2から出力するデータ保持部DH、並びにゲートを共に対応するワード線(例えばWL1)と接続しソース、ドレインの一方をデータ保持部DHの第1及び第2のデータ入出力端N1、N2とそれぞれに対応して接続し他方を対をなすビット線(例えばBL11、BL21)とそれぞれ対応して接続しワード線(WL1)が選択レベルのときオンとなるトランスファゲートT1、T2を備えた複数のメモリセルMCdを含むメモリセルアレイ1aと、アドレス信号ADに従って複数のワード線WL1～WLnのうちの所定のワード線を選択レベルにするアドレスデコーダ2と、所定のタイミングでビット線BL1j、BL2jを所定の電位にプリチャージするプリチャージ回路3と、出力端を対応するビット線BL1j、BL2jと接続し書き込み制御信号に従って外部からの書き込み用のデータDIjを選択レベルのワード線と対応するメモリセルMCdに供給する書き込み回路4jと、入力端を対応するビット線BL1j、BL2jと接続し選択レベルのワード線と対応するメモリセルMCdから読出されたデータを所定のタイミングで外部へ出力(DOj)する読出し回路5jとを有する構成となっている。

【0003】 この半導体記憶装置において、アドレスデコーダ2、ワード線WL1～WLn及び対応するビット線BL1j、BL2j(以下ビット線対(BL1j、BL2j))という、他も同様)等が一系統しかないので、書き込み動作と読出し動作とは必ず相違なるタイミングで行なわれ、1つのメモリセルにデータを書き込むと同時に、またこの書き込みとは非同期で他のメモリセルからデータを読出すという動作を行うことはできない。

【0004】 これに対し図6に示された第2の例の半導体記憶装置は、2系統のアドレスデコーダ2a、2b、ワード線WL11～WL1n、WL21～WL2n及びビット線対(BL1j、BL2j)、(BL3j、BL4j)を備え、ビット線対(BL1j、BL2j)、

(BL3j、BL4j)に対してそれぞれ読出し回路5j、6jaを備えているので、アドレス信号AD1によ

(3)

特開平5-282869

3

4

りアドレスデコーダ2aで指定したメモリセルMCeに対してデータの書き込み（又は読出し）を行うと同時に、またこれとは非同期でアドレス信号AD2によりアドレスデコーダ2bで指定した他のメモリセルMCeからデータを読出すことができる。

【0005】この第2の例のメモリセルMCeは、第1及び第2のデータ入出力端N1、N2をもつデータ保持部DHと、ソース、ドレインをこのデータ保持部DHのデータ入出力端N1、N2とビット線対（例えばBL11、BL21）との間にそれぞれ対応して接続しワード線（例えばWL11）が選択レベルのときオンとなるトランスファゲートT1、T2と、同様に、ソース、ドレインをデータ保持部DHのデータ入出力端N1、N2とビット線対（例えばBL31、BL41）との間にそれぞれ対応して接続しワード線（例えばWL21）が選択レベルのときオンとなるトランスファゲートT3、T4とを備えた構成となっている。

【0006】

【発明が解決しようとする課題】上述した従来の半導体記憶装置は、第1の例ではアドレスデコーダ、ワード線、ビット線等が1系統しかないために1つのメモリセルへのデータの書き込みと他のメモリセルからのデータの読出しとを同時にまた非同期で行うことができないという欠点があり、第2の例では、アドレスデコーダ、ワード線、ビット線等を2系統有しているので1つのメモリセルへのデータの書き込み（又はこのメモリセルからのデータの読出し）と他のメモリセルからのデータの読出しとを同時にまた非同期で行うことができるが、データ保持部DHのデータ入出力端N1、N2とビット線対（BL1j、BL2j）、（BL3j、BL4j）との間がトランスファゲートT1～T4で接続される構成となっているので、トランスファゲートT1～T4は双方向性のため、ビット線のプリチャージが充分行なわれなかった場合、ワード線がマルチセレクト状態となった場合、及び同一メモリセルから同時に2系統の読出しを行う場合等においてビット線対（BL1j、BL2j）、（BL3j、BL4j）間の干渉が起り、メモリセルMCeのデータが破壊される危険性がある。

【0007】本発明の目的は、一方の系統の書き込み（又は読出し）と同時または非同期で他の系統の読出しができ、かつビット線のプリチャージが不十分な場合、ワード線のマルチセレクト状態の場合、同一メモリセルの同時読出しの場合でもメモリセルのデータが破壊されない半導体記憶装置を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体記憶装置は、第1及び第2のビット線と、複数の第1及び第2のワード線と、第1及び第2のデータ入出力端をもちこの第1のデータ入出力端に供給されたデータを保持しかつ保持しているデータを前記第1及び第2のデータ入出力

端から出力するデータ保持部、ゲートを対応する前記第1のワード線と接続しソース、ドレインの一方を前記データ保持部の第1のデータ入出力端と接続し他方を前記第1のビット線と接続し前記対応する第1のワード線が選択レベルのときオンとなる第1のトランスファゲート、入力端を前記データ保持部の第2のデータ入出力端と接続するバッファ回路、並びにゲートを対応する前記第2のワード線と接続しソース、ドレインの一方を前記バッファ回路の出力端と接続し他方を前記第2のビット線と接続し前記対応する第2のワード線が選択レベルのときオンとなる第2のトランスファゲートをそれぞれ備えた複数のメモリセルを含むメモリセルアレイと、第1のアドレス信号に従って前記複数の第1のワード線のうちの所定のワード線を選択レベルとする第1のアドレスデコーダと、第2のアドレス信号に従って前記複数の第2のワード線のうちの所定のワード線を選択レベルとする第2のアドレスデコーダと、出力端を前記第1のビット線と接続し選択レベルの前記第1のワード線と対応するメモリセルに書き込み用のデータを供給する書き込み回路と、入力端を前記第2のビット線と接続しこの第2のビット線に伝達されたデータを外部へ出力する読出し回路とを有している。

【0009】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0010】図1（A）、（B）はそれぞれ本発明の第1の実施例のブロック図及びメモリセル部分の回路図である。

【0011】この実施例は、対をなす第1のビット線BL1j、BL2j（jは1～m、以下同じ）及び読出し専用の第2のビット線BL3jと、複数の第1及び第2のワード線WL11～WL1n、WL21～WL2nと、インバータIV1、IV2から成り第1及び第2のデータ入出力端N1、N2をもちこの第1及び第2のデータ入出力端N1、N2に供給されたデータを保持しかつ保持しているデータを第1及び第2のデータ入出力端N1、N2から出力するデータ保持部DH、ゲートを共に対応する第1のワード線（WL11～WL1n）と接続しソース、ドレインの一方をデータ保持部DHの第1及び第2のデータ入出力端N1、N2とそれぞれ対応して接続し他方を第1のビット線対（BL1j、BL2j）とそれぞれ対応して接続し対応する第1のワード線が選択レベルのときオンとなる第1のトランスファゲートT1、T2、入力端をデータ保持部DHの第2のデータ入出力端N2と接続するバッファ回路のインバータIV3、並びにゲートを対応する第2のワード線（WL21～WL2n）と接続しソース、ドレインの一方をインバータIV3の出力端と接続し他方を第2のビット線BL3jと接続し対応する第2のワード線が選択レベルのときオンとなる第2のトランスファゲートT3をそれぞれ

(4)

特開平5-282869

5

6

備えた複数のメモリセルMCを含むメモリセルアレイ1と、第1のアドレス信号AD1に従って複数の第1のワード線WL11~WL1nのうちの所定のワード線を選択レベルとする第1のアドレスデコーダ2aと、第2のアドレス信号AD2に従って複数の第2のワード線WL21~WL2nのうちの所定のワード線を選択レベルとする第2のアドレスデコーダ2bと、出力端を第1のビット線対(BL1j, BL2j)と接続し選択レベルの第1のワード線(WL11~WL1n)と対応するメモリセルMCに書き込み用のデータDIjを供給する書き込み回路4jと、入力端を第2のビット線BL3jと接続しこの第2のビット線BL3jに伝達されたデータを外部へ出力(DO2j)する読出し回路6jと、入力端を第1のビット線対(BL1j, BL2j)と接続しこのビット線対(BL1j, BL2j)に伝達されたデータを外部へ出力する読出し回路5jと、第1のビット線対(BL1j, BL2j)を所定のタイミングでプリチャージするプリチャージ回路3とを有する構成となっている。

【0012】この実施例においては、第1のアドレスデコーダ2aにより例えば第1のワード線WL11が選択レベルになり、この第1のワード線WL11が選択レベルになりこの第1のワード線WL11と接続するメモリセルMCにデータが書き込まれている(又はこのメモリセルMCからデータが読出される)とき、第2のアドレスデコーダ2bにより例えば第2のワード線WL21が選択レベルとなってこの第2のワード線WL21と接続するメモリセルMC(前述のメモリセルと同一)からデータが読出されたとしても、第1のビット線対(BL1j, BL2j)と第2のビット線BL3jとはインバータIV3により互いに隔離されるので、第1のビット線対(BL1j, BL2j)と第2のビット線BL3jとが互いに干渉しあうことがなく、従ってメモリセルMCのデータが破壊されることはない。

【0013】図2は本発明の第2の実施例のメモリセル部分の回路図である。

【0014】この実施例のメモリセルMCaは、バッファ回路を、ゲートをデータ保持部DHの第2のデータ入出力端N2と接続しソースを基準電位点(接地電位点)と接続しドレインを第2のトランスファゲートT3のソース、ドレインの一方と接続するトランジスタQ1で形成したもので、バッファ回路が簡略化されるという利点がある。動作及び効果は第1の実施例と同様である。

【0015】図3は本発明の第3の実施例のメモリセル部分の回路図である。

【0016】この実施例は、メモリセルMCbに複数のインバータIV3、IV3a~IV3x(バッファ回路)及び第2のトランスファゲートT3、T3a~T3xを設け、これに伴って、複数の第2のビット線BL3j、BL3ja~BL3jx、複数の第2のワード線

(例えばWL21, 21a~21x)、図示していないが、これらと対応する複数のアドレスデコーダ及び読出し回路を設けたものである。

【0017】この実施例においては、複数の系統に同時または非同期で読出しが可能となるほか、第1の実施例と同様の効果がある。

【0018】図4は本発明の第4の実施例のメモリセル部分の回路図である。

【0019】この実施例は、第1のビット線をそれぞれ1本として複数(3本)設けこれらを書込み用(兼読出し用)とし、読出し専用の第2のビット線を複数(3本)設けた構成とし、これに伴ってメモリセルMCcを、データ保持部DHの第1のデータ入出力端N1を第1のビット線BL1a~BL1cとの間にそれぞれ対応して第1のトランスファゲートT1a~T1cを接続し、ゲートを共にデータ保持部DHの第2のデータ入出力端N2と接続するバッファ回路のトランジスタQ1a~Q1cを設け、これらトランジスタQ1a~Q1cのドレインと第2のビット線BL3a~BL3cとの間にそれぞれ対応して第2のトランスファゲートT3a~T3cを接続した構成とし、第1のトランスファゲートT1a~T1cのオン、オフを第1のワード線WL1a~WL1cにより制御し、第2のトランスファゲートT3a~T3cのオン、オフを第2のワード線WL2a~WL2cにより制御する構成としたものである。

【0020】このような構成とすることにより、複数(3個)のメモリセルMCcに対し同時または非同期で書き込みができ、かつこれら書き込み動作と同時または非同期で複数系統(3系統)の読出し動作が可能となる。

【0021】

【発明の効果】以上説明したように本発明は、メモリセルを、データ保持部の第1のデータ入出力端と第1のビット線との間に接続された第1のトランスファゲートと、入力端をデータ保持部の第2のデータ入出力端と接続するバッファ回路と、このバッファ回路の出力端と第2のビット線との間に接続された第2のトランスファゲートとを備え、第1及び第2のトランスファゲートのオン、オフをそれぞれ対応する第1及び第2のワード線により制御する構成とすることにより、第1のビット線によるデータの書き込み、読出しと同時または非同期で第2のビット線による読出しを行うことができ、かつビット線のプリチャージが不十分の場合、ワード線のマルチセレクト状態の場合、同一メモリセルの同時読出しの場合でも、第1及び第2のビット線間がバッファ回路で隔離されるので、メモリセルのデータが破壊される危険性がなくなるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図及びメモリセル部分の回路図である。

【図2】本発明の第2の実施例のメモリセル部分の回路

(5)

特開平5-282869

7

8

図である。

【図3】本発明の第3の実施例のメモリスル部分の回路図である。

【図4】本発明の第4の実施例のメモリスル部分の回路図である。

【図5】従来の半導体記憶装置の第1の例のブロック図及びメモリスル部分の回路図である。

【図6】従来の半導体記憶装置の第2の例のブロック図及びメモリスル部分の回路図である。

【符号の説明】

- 1, 1a, 1b メモリスルアレイ
- 2, 2a, 2b アドレスデコーダ
- 3, 3a プリチャージ回路
- 41, 4m, 41a~4ma 書き込み回路

51~51m, 61~6m, 61a~6ma 読出し回路

BL1a~BL1c, BL3a~BL3c, BL11~BL1m, BL21~BL2m, BL31~BL3m, BL41~BL4m ビット線

DH データ保持部

IV1~IV3, IV3a~IV3x インバータ

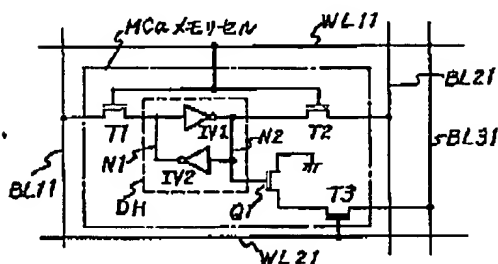
MC, MCa~MCe メモリスル

Q1, Q1a~Q1c トランジスタ

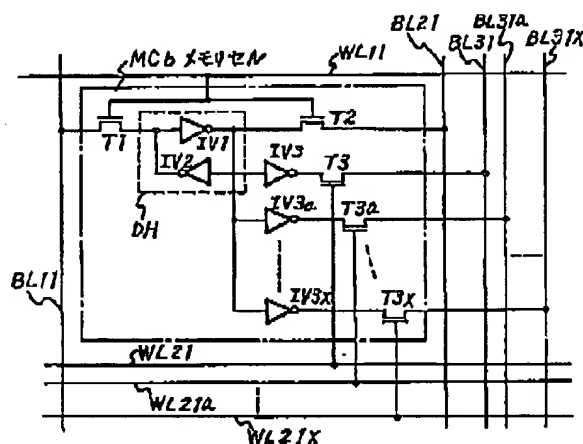
10 T1~T4 トランスファゲート

WL1~WLn, WL1a~WL1c, WL2a~WL2c, WL11~WL1m, WL21~WL2n, WL21a~WL21x ワード線

【図2】



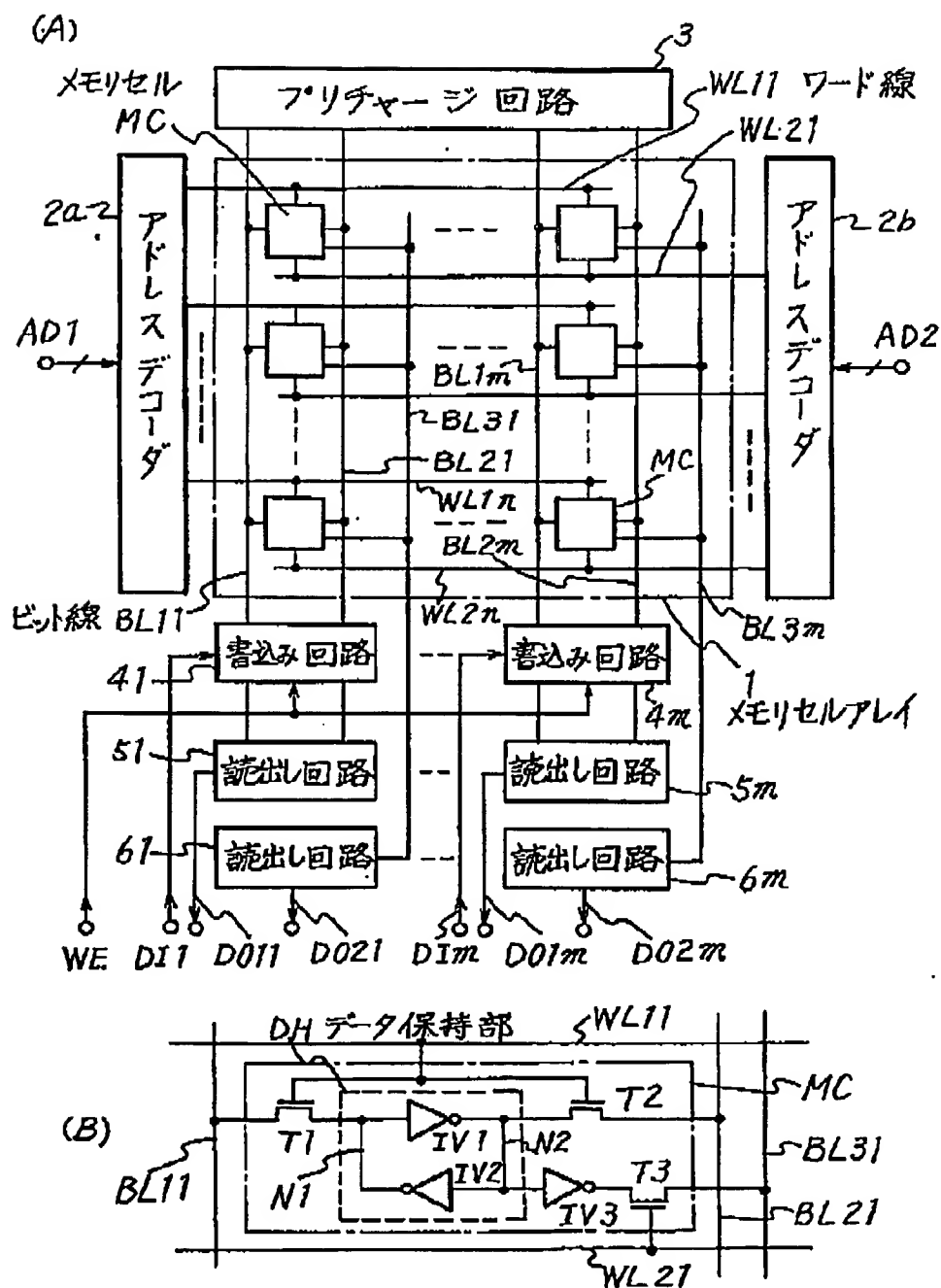
【図3】



(6)

特開平5-282869

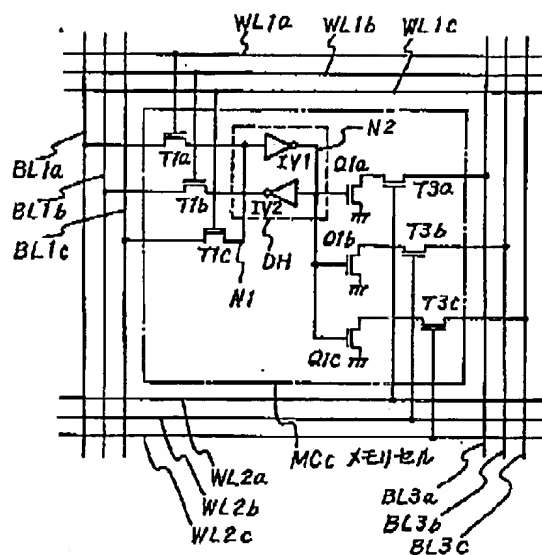
【図1】



(7)

特開平 5 - 2 8 2 8 6 9

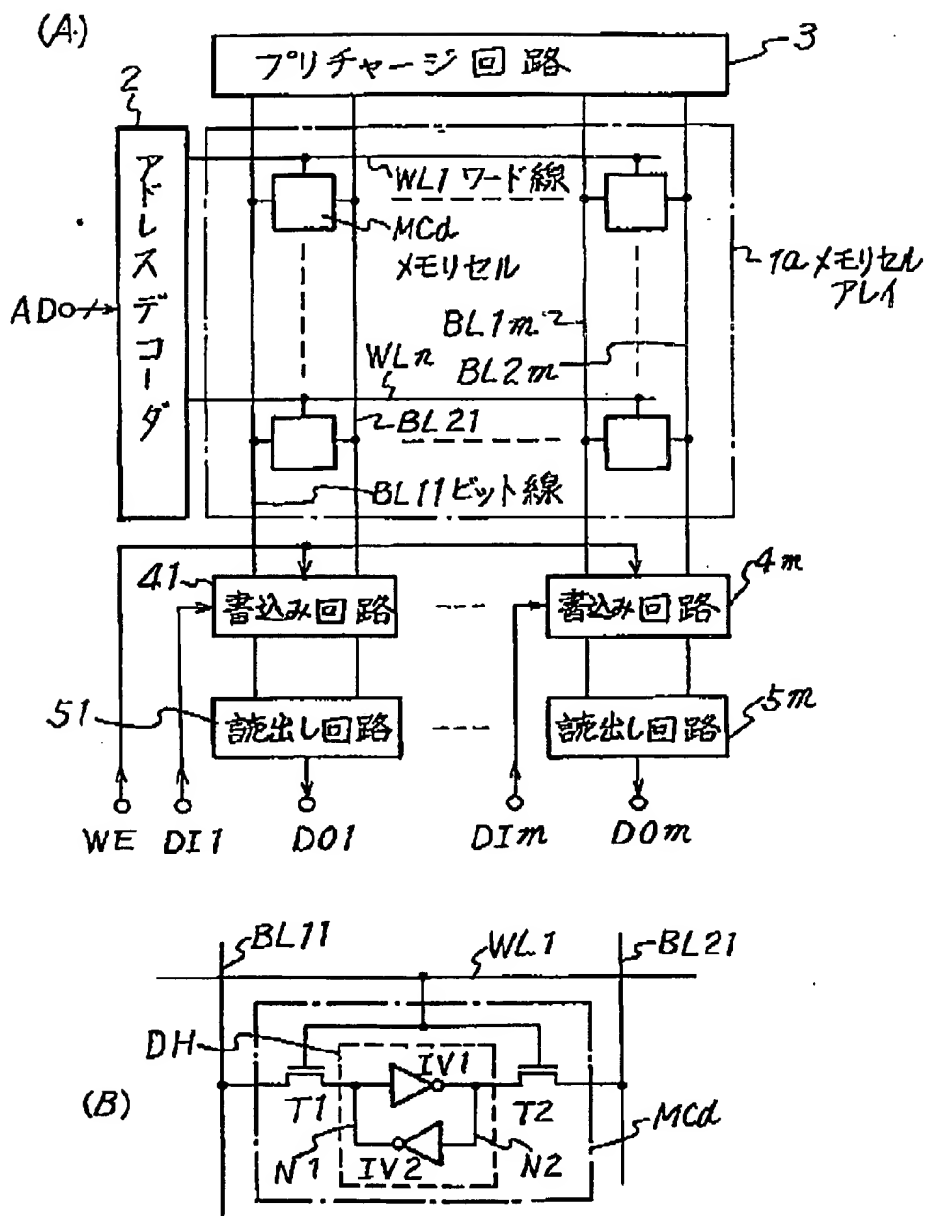
【図 4】



(8)

特開平5-282869

【図5】



(9)

特開平5-282869

【図6】

